

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-092533

(43)Date of publication of application : 28.03.2003

(51)Int.Cl.

H03K 19/00
H01L 21/822
H01L 21/8234
H01L 27/04
H01L 27/06
H03K 19/0175

(21)Application number : 2001-283271

(71)Applicant : MATSUSHITA ELECTRIC IND CO LTD

(22)Date of filing : 18.09.2001

(72)Inventor : MORIMOTO TADASHI
TAKAGI TAKESHI
MORITA KIYOYUKI
UEDA MICHITO
TOYODA KENJI
OTSUKA TAKASHI

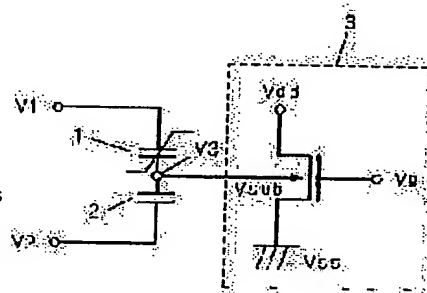
(54) SEMICONDUCTOR CIRCUIT AND DRIVING METHOD THEREFOR

(57)Abstract:

PROBLEM TO BE SOLVED: To solve a problem that an area to be occupied by a conventional substrate bias circuit such as charge pumping circuit is large and power efficiency is low.

SOLUTION: A ferroelectric capacitor 1 and a dielectric capacitor 2 are serially connected and a connection midpoint thereof is connected to the substrate terminal of an MOS transistor 3. First of all, while keeping a V2 terminal at 0 V (GND) at all the time, the positive impression voltage pulse of a peak voltage value V_{in} is impressed to V1. Next, when the impression voltage to V1 is made into 0 V, an intermediate node potential V3 becomes $+V_h$ and that voltage value is held. Such $+V_h$ is used as a substrate bias of the MOS transistor. Besides, when such circuit driving is performed while switching V1 and V2, $-V_h$ can be outputted. In an ideal system, in which a leak current from the V3 terminal to the other connecting terminal and the internal leak current of the capacitor itself do not exist, the voltage of the V3 terminal can be held infinitely in principle.

1 強誘電体キャパシタ
2 誘電体キャパシタ
3 MOSトランジスタ



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(51) Int. Cl. ⁷	識別記号	F I	テマコード (参考)
H03K 19/00		H03K 19/00	A 5F038
H01L 21/822			101 F 5F048
21/8234		H01L 27/04	B 5J056
27/04		27/06	102 A
27/06			

審査請求 未請求 請求項の数10 O L (全11頁) 最終頁に続く

(21) 出願番号 特願2001-283271 (P 2001-283271)

(22) 出願日 平成13年 9月18日 (2001. 9. 18)

(71) 出願人 000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者 森本 廉

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72) 発明者 高木 剛

大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(74) 代理人 100097445

弁理士 岩橋 文雄 (外2名)

最終頁に続く

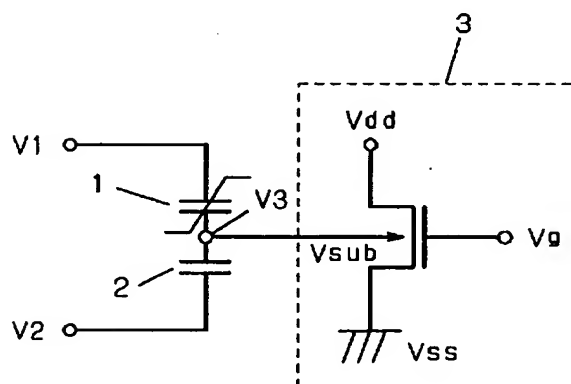
(54) 【発明の名称】 半導体回路及びその駆動方法

(57) 【要約】

【課題】 チャージポンピング回路等の従来の基板バイアス回路は回路専有面積が大きく、かつ電力効率が悪いという問題を有していた。

【解決手段】 強誘電体キャパシタ1と誘電体キャパシタ2が直列接続されておりそれらの接続中間点がMOSトランジスタ3の基板端子に接続されている。まず、V2端子を常に0V (GND) としておいたまま、V1にピーク電圧値 V_{in} の正の印加電圧パルスを印加する。次にV1への印加電圧を0Vにすると中間ノード電位V3が $+V_h$ になり、その電圧値が保持される。この $+V_h$ をMOSトランジスタの基板バイアスとして用いる。また、V1とV2を入れ替えて上記回路駆動を行うと $-V_h$ を出力できる。V3端子から他の接続端子へのリーク電流とキャパシタ自身の内部リーク電流が存在しない理想系の場合、V3端子の電圧は原理的に無限に保持されることが可能である。

- 1 強誘電体キャパシタ
- 2 誘電体キャパシタ
- 3 MOSトランジスタ



【特許請求の範囲】

【請求項 1】第 1 の導電型のソース領域、ドレイン領域と第 2 の導電型の基板領域、およびゲート領域、ゲート絶縁膜を有した電界効果型トランジスタにおいて前記基板領域の電位制御用基板端子と、強誘電体キャパシタと誘電体キャパシタの直列接続回路における接続中間点とを電氣的に接続したことを特徴とする半導体回路。

【請求項 2】接続中間点が、少なくとも 2 個以上の電界効果型トランジスタの基板端子に接続され、複数のトランジスタの基板電位を同時に制御することを特徴とする請求項 1 に記載の半導体回路。

【請求項 3】請求項 1 又は 2 に記載の半導体回路を駆動する方法であって、強誘電体キャパシタと誘電体キャパシタの直列接続回路の両端子間に電圧を印加する第 1 の手順と、前記両端子の電位を任意の値で保持する第 2 の手順を備え、前記直列接続回路の接続中間点に発生する所望の電位により電界効果型トランジスタの基板電位制御を行うことを特徴とする半導体回路の駆動方法。

【請求項 4】第 2 の手順により強誘電体キャパシタと誘電体キャパシタの直列接続回路の両端子電位を任意の値で保持した後、電界効果型トランジスタの基板電位制御端子を除く電極端子に所望の電圧印加を行う第 3 の手順と、前記基板電位制御端子を除く前記電極端子に印加した電圧を少なくとも 1 回以上、0V もしくは開放とする第 4 の手順と、前記電界効果型トランジスタの基板電位制御端子を除く電極端子に再度電圧印加を行う第 5 の手順とを備えたことを特徴とする請求項 3 に記載の半導体回路の駆動方法。

【請求項 5】誘電体キャパシタの静電容量が、電界効果型トランジスタのゲート絶縁膜静電容量、基板－ソース間静電容量、基板－ドレイン間静電容量の総和より大きいことを特徴とする請求項 1 又は 2 に記載の半導体回路。

【請求項 6】第 1 の導電型のソース領域、ドレイン領域と第 2 の導電型の基板領域、およびゲート領域、ゲート絶縁膜を有した電界効果型トランジスタと、第 1 の電極と第 2 の電極で挟まれた強誘電体キャパシタにおいて、前記電界効果型トランジスタの基板領域の電位制御用基板端子と前記強誘電体キャパシタの第 2 の電極が電氣的に接続されたことを特徴とする半導体回路。

【請求項 7】強誘電体キャパシタの第 2 の電極を、少なくとも 2 個以上の電界効果型トランジスタの基板端子に接続し、複数のトランジスタの基板電位を同時に制御することを特徴とする請求項 6 に記載の半導体回路。

【請求項 8】請求項 6 又は 7 に記載の半導体回路を駆動する方法であって、強誘電体キャパシタの第 1 の電極と前記電界効果型トランジスタのソース端子との間に、前記電界効果型トランジスタの基板領域とソース領域で構成されるダイオードに対し順方向バイアスとなる極性の電圧を印加する第 1 の手順と、前記強誘電体キャパシタ

の第 1 の電極と前記電界効果型トランジスタのソース端子電圧をいずれも任意の値に設定する第 2 の手順を備え、前記第 2 の電極に発生する電位により前記電界効果型トランジスタの基板電位制御を行うことを特徴とする半導体回路の駆動方法。

【請求項 9】第 2 の手順により前記強誘電体キャパシタの第 2 の電極と前記電界効果型トランジスタのソース端子電圧をいずれも任意の値に設定した後、基板電位制御端子を除く前記電界効果型トランジスタの各電極端子に所望の電圧印加を行う第 3 の手順と、前記各電極端子に印加した電圧を少なくとも 1 回以上、0V もしくは開放とする第 4 の手順と、前記基板電位制御端子を除く前記電界効果型トランジスタの各電極端子に再度電圧印加を行う第 5 の手順とを備えたことを特徴とする請求項 8 に記載の半導体回路の駆動方法。

【請求項 10】電界効果型トランジスタが絶縁膜上に設けられた半導体膜上に形成されていることを特徴とする請求項 1、2、6、7 のいずれかに記載の半導体回路。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、簡便な構成にて電界効果型トランジスタの基板電位制御回路を提供するものである。

【0002】

【従来の技術】近年、電池駆動による携帯情報端末機器は広く使用されている。このような装置においては、電池寿命を延ばすために、高速動作を犠牲にすることなく電源電圧を低減化することが強く望まれている。CMOS 回路の消費電力 ($P_{i...}$) は、主に負荷の充放電によって生じ、以下のような式で表される。

$$【0003】 P_{i...} = f \cdot C_{i...} \cdot V_{d...}^2$$

ここで、 f は負荷の駆動頻度、 $C_{i...}$ は負荷容量、 $V_{d...}$ は電源電圧である。この式から明らかなように、電源電圧の低電圧化は低消費電力化に対して非常に有効であることがわかる。低電源電圧においても、高いオン電流を確保し、高速動作を実現するためには、しきい値電圧を下げるのが有効であるが、この場合、サブスレッショールドリーク電流は指数関数的に増加する。CMOS 回路においては、待機時には負荷の充放電による消費電力がなくなるため、チップの消費電力の中でサブスレッショールドリーク電流による電力消費の比率が大きくなる。

【0004】このような待機時のサブスレッショールドリーク電流を削減する技術として、基板バイアスを変化させてしきい値電圧を制御する VT MOS (Variable Threshold-Voltage MOSFET) が提案されている。(T. Kuroda et al., "A 0.9V, 150-MHz, 10-mW, 4mm², 2-D Discrete Cosine Transform Core Processor with Variable Threshold-Voltage (VT) Scheme," IEEE J. Solid-State Circuits, vol. 31, 1996, p. 1770.) VT MOS においては、動作時には基板電位を浅くかけて MOS トランジスタのし

きい値電圧を低くし、待機時には基板電位を深くかけて MOSトランジスタのしきい値電圧を高く制御する。動作時には回路を高速に動作させることができ、待機時はサブスレッショールドリーク電流を小さく抑えることができる。

【0005】

【発明が解決しようとする課題】しかしながら、このようなVTMOS技術では、基板と電源線及びGND線を分離しなければならないためにトリプルウェルなど複雑なデバイス構造を必要とし、加えて電力利用効率が悪く占有面積の大きなチャージポンプ回路等の電源回路を別途必要としていた。

【0006】本発明は、前記従来の課題を解決し、電界効果型トランジスタのしきい値制御を、簡便な回路構成で、かつ低消費電力で実現しうる半導体回路を提供することを目的とする。

【0007】

【課題を解決するための手段】前記の目的を達成するため、本発明は強誘電体キャパシタと誘電体キャパシタを組み合わせることにより、単一極性の電源回路から正負両極性の所望の電圧を発生させ、電界効果型トランジスタの基板電位を制御するものである。

【0008】具体的に請求項1の発明が講じた解決手段は、半導体回路を、第1の導電型のソース領域、ドレイン領域と第2の導電型の基板領域、およびゲート領域、ゲート絶縁膜を有した電界効果型トランジスタにおいて前記基板領域の電位制御用基板端子と、強誘電体キャパシタと誘電体キャパシタの直列接続回路における接続中間点とを電氣的に接続して構成するものである。

【0009】請求項1の回路構成により、簡便な回路にて電界効果型トランジスタの基板電位制御を実現するものであり、さらにこの制御回路の電源をOFFとした場合でも強誘電体の電荷保持特性により基板電位制御電圧の供給を続けることができ、従来のチャージポンプ回路などに比べ低消費電力化を図ることが可能となる。

【0010】具体的に請求項2の発明が講じた解決手段は、請求項1の半導体回路において、接続中間点が、少なくとも2個以上の電界効果型トランジスタの基板端子に接続され、複数個のトランジスタの基板電位を同時に制御する構成とするものである。

【0011】請求項2の回路構成により、トランジスタ1個ごとに強誘電体キャパシタと誘電体キャパシタを設ける必要がなくなり、回路面積をより小さくすることが可能になる。

【0012】具体的に請求項3の発明が講じた解決手段は、請求項1及び2に記載の半導体回路において、強誘電体キャパシタと誘電体キャパシタの直列接続回路の両端子間に電圧を印加する第1の手順と、前記両端子の電位をともに任意の電圧値で保持する第2の手順を有することを特徴とした、基板電位制御回路の駆動方法であ

る。

【0013】請求項3の回路駆動方法により、単一極性の電源電圧から正負いずれの極性の電圧も発生することが可能となる。

【0014】具体的に請求項4の発明が講じた解決手段は、請求項3記載の第2の手順に続き、電界効果型トランジスタの基板電位制御端子を除く電極端子に所望の電圧印加を行う第3の手順と、前記基板電位制御端子を除く前記電極端子に印加した電圧を少なくとも1回以上、0Vもしくは開放とする第4の手順と、前記電界効果型トランジスタの基板電位制御端子を除く電極端子に再度電圧印加を行う第5の手順とを備えたことを特徴とする半導体回路の駆動方法である。

【0015】請求項4の回路駆動方法により、基板電位制御を行っている電界効果型トランジスタのゲート電圧もしくはドレイン電圧のON、OFFを行っても基板電位が保持されるため、低消費電力化が可能である。

【0016】請求項5の発明は、請求項1及び2の構成において、誘電体キャパシタの静電容量と、電界効果型トランジスタのゲート絶縁膜静電容量、基板-ソース間静電容量、基板-ドレイン間静電容量の総和の大小関係を規定するものである。

【0017】具体的に請求項6の発明が講じた解決手段は、第1の導電型のソース領域、ドレイン領域と第2の導電型の基板領域、およびゲート領域、ゲート絶縁膜を有した電界効果型トランジスタと、第1の電極と第2の電極で挟まれた強誘電体キャパシタにおいて、前記電界効果型トランジスタの基板領域の電位制御用基板端子と前記強誘電体キャパシタの第2の電極が電氣的に接続された構成である。

【0018】請求項6の構成により、強誘電体キャパシタ1個を付加するのみで、電界効果型トランジスタのしきい値電圧を高く設定する回路が実現可能となる。

【0019】具体的に請求項7の発明が講じた解決手段は、請求項6記載の強誘電体キャパシタの第2の電極を、少なくとも2個以上の電界効果型トランジスタの基板端子に接続し、複数個のトランジスタの基板電位を同時に制御するものである。

【0020】請求項7の回路構成により、トランジスタ1個ごとに強誘電体キャパシタを設ける必要がなくなり、回路面積をより小さくすることが可能になる。

【0021】具体的に請求項8の発明が講じた解決手段は、請求項6及び7に記載の強誘電体キャパシタの第1の電極と前記電界効果型トランジスタのソース端子との間に、前記電界効果型トランジスタの基板領域とソース領域で構成されるダイオードに対し順方向バイアスとなる極性の電圧を印加する第1の手順と、前記強誘電体キャパシタの第1の電極と前記電界効果型トランジスタのソース端子電圧をいずれも任意の電圧に保持する第2の手順を備え、前記第2の電極に発生する電位により前記

10

20

30

40

50

電界効果型トランジスタの基板電位制御を行うものである。

【0022】請求項8の回路駆動方法により、基板電位発生回路の電源をOFFとした後も基板電位制御電圧を発生させることが可能となる。

【0023】具体的に請求項9の発明が講じた解決手段は、請求項8記載の第2の手順に続き、基板電位制御端子を除く前記電界効果型トランジスタの各電極端子に所望の電圧印加を行う第3の手順と、前記各電極端子に印加した電圧を少なくとも1回以上、0Vもしくは開放とする第4の手順と、前記基板電位制御端子を除く前記電界効果型トランジスタの各電極端子に電圧印加を再度行う第5の手順とを備えたことを特徴とした半導体回路の駆動方法である。

【0024】請求項9の回路駆動方法により、基板電位制御を行っている電界効果型トランジスタのゲートもしくはドレイン電圧のON、OFFを行っても基板電位を保持しておくことができるため、低消費電力化が可能である。

【0025】具体的に請求項10の発明が講じた解決手段は、請求項1、2、6、7に記載の構成において、電界効果型トランジスタが絶縁膜上に設けられた半導体膜上に形成されている半導体回路である。

【0026】請求項10の構成により、電界効果型トランジスタの基板とソース・ドレインで構成されるpn接合部実効面積が小さくなり逆方向バイアス時のリーク電流が低減できる。これにより、基板電位の保持時間が改善できるのに加え、ウェル構造の簡略化が実現可能となる。

【0027】

$$V_{in} = V_1 - V_2 = V_F + V_c$$

である。また、強誘電体キャパシタの分極現象によって誘起される電荷量をQとする。強誘電体キャパシタと常誘電体キャパシタとの接続部の全電荷は0であるという

$$Q = C_c V_c$$

となる。式(2)を式(1)に代入すると、

$$Q = C_c (V_{in} - V_F)$$

となる。一方、強誘電体キャパシタのQとVFの関係は、図4(b)のようなヒステリシス特性を示す。図4(b)に式(3)を重ねて示すと、同図中の直線①となる。図4(b)に示すように、ヒステリシス曲線と式(3)で表される直線との交点が強誘電体に加わる電圧および電荷量を表すことになる。同図のA点は、V2を接地し強誘電体キャパシタの端子V1に正方向の電圧Vinを加え、電圧をVinで保持したときのQおよびVFを表している。強誘電体キャパシタの端子V1に正方向の電圧Vinを加えた後、次に電圧を0[V]に戻した場合の強誘電体キャパシタにかかる電圧は直線②とヒステリシス特性の交点(同図のB点)となる。この電圧値はV3を基準としてVF=-Vhとなるが、実際、V1、V2は0Vに接地されている

【発明の実施の形態】(第1の実施形態)本発明の第1の実施形態を図面に基いて説明する。図1は第1の実施形態に係る半導体回路の回路図を示している。図1において、強誘電体キャパシタ1と誘電体キャパシタ2が直列接続されておりそれらの接続中間点がMOSトランジスタ3の基板端子に接続されている。また図2に示すように、この接続中間点を2個以上のMOSトランジスタから構成される機能ブロック4内の各トランジスタの基板端子にそれぞれ並列に接続して構成しても良い。この場合、トランジスタ毎に強誘電体キャパシタ1と誘電体キャパシタ2を設ける必要がないため、大幅な回路面積低減が可能となる。

【0028】次に、本発明に係る基本回路(図1)の駆動方法を図3により説明する。図3(a)は強誘電体/誘電体キャパシタ中間接続点のノード電位V3に正の電圧を発生させる場合の、各端子V1~3への電圧印加パターンを表している。V2端子を常に0V(GND)としておいたまま、V1にピーク電圧値Vinの正の印加電圧パルスを印加すると、V1への印加電圧が0Vになった時点で中間ノード電位V3が+Vhに保持される。この回路の動作原理について図4(a)、(b)を用いて簡単に説明する。

【0029】図4(a)のように強誘電体キャパシタ1と容量がCcである誘電体キャパシタ2を直列に接続する。強誘電体キャパシタ側への印加電圧をV1、誘電体キャパシタの端子の印加電圧をV2とする。いま、V2を接地して強誘電体キャパシタの端子V1に電圧Vinを加えたとなると、強誘電体キャパシタと誘電体キャパシタにはそれぞれVF、Vcの電圧が加わる。ここで、

$$(1)$$

電荷保存則より誘電体キャパシタの上部電極にも電荷Qが誘起されるので、

$$(2)$$

$$(3)$$

ので、強誘電体キャパシタと誘電体キャパシタの中間接続点に保持される電位V3は、+Vhとなる。また同様の議論から、V1を接地して誘電体キャパシタ2の端子V2に正方向に電圧Vinを加え、Vinを保持したときのQおよびVFは同図の直線③とヒステリシス曲線の交点C点で表される。V2の電圧をVinから0[V]に戻すと、強誘電体キャパシタにかかる電圧は直線②とヒステリシス特性の交点(同図のD点)となる。この電圧値はV3を基準としてVF=+Vhであるが、実際、V1、V2は0Vに接地されているので、強誘電体キャパシタと誘電体キャパシタの中間接続点に保持される電位V3は、-Vhとなる。理想系でV3端子から他の接続端子へのリーク電流成分とキャパシタ自身の内部リーク電流成分が存在し

ない場合、図 3 (a)、(b) に示した V3 端子の保持電圧 (V_h 及び $-V_h$) は、原理的に無限に保持させることが可能である。なお、一旦設定した V3 端子の保持電圧を再度、設定し直したい場合には、例えば図 1 の MOS トランジスタ 3 の $V_{sub}-V_{dd}$ 間もしくは $V_{sub}-V_{ss}$ 間に逆方向バイアス電圧を深くかけ、中間ノードに蓄積された電荷を逃がしてやれば良い。より頻繁にこの動作を行う場合には、特に図示しないが別途 MOS トランジスタを設け、中間ノードにそのドレイン電極もしくはソース電極を接続してゲート電圧制御により蓄積電荷の放電を行えばよい。

【0030】 以上のように、図 1 のような強誘電体・誘電体キャパシタ直列回路を MOS トランジスタに付加するだけで、図 2 で説明した回路駆動方法と組み合わせ、単一極性の電源電圧で MOS トランジスタの基板電位を正負いずれの方向にも制御可能な半導体回路が実現できることがわかる。また、この回路の大きなメリットは、図 2 で説明したように一旦、V3 電位を発生させると供給電源 (図 1 の V1、V2、 V_{dd} 、 V_g) を 0 V にしても基板電位が一定値で保持される点であり、従来の電力効率の悪いチャージポンプ回路で基板電位制御する場合に比べて大幅な低消費電力化を図ることができる。また、誘電体キャパシタの静電容量を変化させることにより単一極性電源から正負の電圧を発生することができるため LSI 内部の電源回路数を低減させることができ、チップ面積縮小を図ることが可能である。

【0031】 図 5 は第 1 の実施形態に係る半導体回路の断面模式図を示している。図 5 は p ウェル上に n チャネル MOSFET が形成されており、2 層目に MOSFET の各電極配線が形成され、3 層目に強誘電体キャパシタや誘電体キャパシタが形成された場合の回路断面模式図を示している。図 5 において 10 はシリコン基板、100 は n ウェル、110 は p ウェル、120 は LOCOS や STI などの素子分離用絶縁膜、130 はシリコン酸化膜もしくは酸化窒化膜などのゲート絶縁膜、140 は n+ポリシリコンなどのゲート電極、150 は n+拡散層、155 は p+拡散層、160 はプラズマ TEOS 膜などの層間絶縁膜、170 はタングステンなどの耐熱性コンタクトプラグ、175 は MOS トランジスタの基板電位制御用配線、180 は耐熱性配線、190 はチタン/チタンナイトライド積層膜などのバリアメタル、200 は白金などの下部電極、210 はプラズマ TEOS などの誘電体膜、220 はチタン酸ジルコン酸鉛 PZT

[$Pb(Zr, Ti)O_3$] などの強誘電体膜、230 と 231 は白金等の上部電極を表している。強誘電体キャパシタは図番 200、220、230 で、誘電体キャパシタは 200、210、231 でそれぞれ構成されている。上部電極 (230) 面積 $1\mu m^2$ 角、PZT (220) 膜厚 500 nm の強誘電体キャパシタに対し、上部電極 (231) 面積 $1\mu m^2$ 角、TEOS (210) 膜厚

100 nm の誘電体キャパシタを直列接続した場合、図 3 で説明したように上部電極 230 を 0 V、上部電極 231 に +5 V の電圧を印加した後、両電極 230、231 を 0 V にすると下部電極 200 に -1 V の電圧が発生し、これが MOS トランジスタの基板 (p ウェル 110) バイアスとして作用する。このバイアス電圧は、強誘電体キャパシタ及び誘電体キャパシタ自身のリーク電流や、p ウェル 110 と n+拡散層 150 で構成されるダイオードの逆方向リーク電流などで時間的に減少していく。保持時間を大きくしたい場合には系のリーク電流を低減させるか、強誘電体キャパシタ面積を大きくして初期保持電荷量を大きくしてやれば良い。この際、バイアス電圧値を -1 V 一定にしておくためには誘電体キャパシタと強誘電体キャパシタの面積比も一定にしておく必要がある。

【0032】 なお、誘電体キャパシタの静電容量に対し、MOS トランジスタの各端子間容量和が無視できない場合は、それらをあらかじめ考慮して設計しておく必要がある。

【0033】 さらに、本断面模式図では誘電体膜としてプラズマ TEOS (比誘電率 4) を用いたが、さらに比誘電率の高い膜を選定すればさらに回路面積を小さくすることができる。

【0034】 図 6 はしきい値電圧 V_t を 0.2 V と極めて低く設定した n-ch MOS トランジスタ ($W/L = 10/1\mu m$ 、ゲート酸化膜 10 nm) のゲート電圧-ドレイン電流特性であり、基板バイアスをパラメータにして測定した結果である (ドレイン電圧 = 0.1 V)。このように極端に低 V_t 化した MOS トランジスタでは、ゲート電圧が 0 V のときでも、ドレイン電流が約 5 nA 近く流れ待機時電力を増大させてしまう。本発明に係る第 1 の実施例で説明した回路を用い、このトランジスタの基板端子に基板バイアス -1 V を印加した場合、図 6 より実際にゲート電圧 0 V 時のドレイン電流が 1 pA 以下となり約 3 桁以上待機電流を低減できることがわかる。

【0035】 なお、図 5 および図 6 では、本発明に係る第 1 の実施例について n-ch MOS トランジスタに負の基板バイアスを作用させる場合を例に説明を行ったが、p-ch MOS トランジスタに正の基板バイアスを印加する場合でも、強誘電体キャパシタと誘電体キャパシタの直列接続回路両端に印加する電圧を変える ($V_2: +V_{in}$ パルス $\rightarrow 0$ 、 $V_1: 0 \rightarrow +V_{in}$ パルス印加) だけで全く同様の効果が得られることは言うまでもない。

【0036】 (第 2 の実施形態) 本発明の第 2 の実施形態を図面に基づいて説明する。図 7 は第 2 の実施形態に係る半導体回路の回路図を示している。図 7 において、1 は強誘電体キャパシタ、3 は MOS トランジスタであり、強誘電体キャパシタ 1 の一方の電極が MOS トラン

ジスタ 3 の基板電位制御端子に接続されている。図 7 の回路機能は MOS トランジスタの基板電位制御という点で第 1 の実施例と全く同じであるが、第 1 の実施例の回路図 (図 1) と比較すると、誘電体キャパシタ 2 が省略され、より少ない素子数で回路構成されていることがわかる。また図 8 に示すように、強誘電体キャパシタ 1 の一方の電極を、2 個以上の MOS トランジスタから構成される機能ブロック 4 内の各トランジスタの基板端子にそれぞれ並列に接続して構成しても良い。この場合、トランジスタ毎に強誘電体キャパシタ 1 を設ける必要がないため、さらに大幅な回路面積低減が可能となる。

【0037】次に、第 2 の実施例における基本回路 (図 7) の駆動方法を図 9 により説明する。図 9 の回路図において、1 は強誘電体キャパシタで、 V_1 と V_3 はそれぞれ強誘電体キャパシタの第 1 と第 2 の電極における電位、5 は $n\text{-ch}$ MOS トランジスタのソース領域と基板 (ウェル) 領域で構成される $p\text{-n}$ 接合ダイオード、 V_{ss} は MOS トランジスタ 1 のソース端子 (接地) を表している。ここでは $n\text{-ch}$ MOS トランジスタの基板端子に負の電圧を印加する (しきい値電圧を上昇させる) 場合の回路駆動方法を説明する。

【0038】図 9 は強誘電体キャパシタ 1 の第 1 の電極への印加電圧パターン (V_1) とその時の第 2 の電極での出力電圧 (V_3) を示している。ダイオード 5 の順方向バイアスとなる極性でピーク電圧 V_{in} の矩形パルス電圧を V_1 に印加すると、強誘電体キャパシタ 1 両端には V_{in} から $p\text{-n}$ 接合ダイオード 5 の拡散電位 (約 0.7 V) を差し引いた電圧が加わる。次に V_1 を V_{ss} 同様、接地電位にすると、 V_3 には $-|V_{in}-0.7|$ の負電圧が発生することになる。この発生電位は強誘電体キャパシタ 1 自身のリーク電流成分とダイオード 5 の逆方向バイアス時リーク電流が存在しない理想系においては、時間的に無限に保持される。図 8 においては $n\text{-ch}$ MOS トランジスタの基板電位を制御する場合について説明したが、 $p\text{-ch}$ MOS トランジスタに適用する (V_3 に正電圧を発生させる) 場合には図 9 のダイオードと V_1 電圧の極性を反転させれば良い。なお、一旦設定した V_3 端子の保持電圧を再度、設定し直したい場合には、例えば図 7 の MOS トランジスタ 3 の $V_{sub}-V_{dd}$ 間もしくは $V_{sub}-V_{ss}$ 間に逆方向バイアス電圧を深くかけ、中間ノードに蓄積された電荷を逃がしてやれば良い。より頻繁にこの動作を行う場合には、特に図示しないが別途 MOS トランジスタを設け、中間ノードにそのドレイン電極もしくはソース電極を接続してゲート電圧制御により蓄積電荷の放電を行えばよい。

【0039】以上のように、図 8 のような MOS トランジスタに強誘電体キャパシタを付加するだけで、図 9 で説明した回路駆動方法と組み合わせ、MOS トランジスタの基板電位が制御可能な半導体回路を実現できることがわかる。第 2 の実施形態が第 1 の実施形態にくらべて

有利な点は、より少ない素子数で回路構成ができること、同じ基板バイアス電圧値を発生させるのに初期の印加電圧 V_{in} が小さくても良い点などが挙げられる。不利な点としては、第 2 の実施形態では正負の基板バイアス電圧を発生させるために正負の両極性電源を供給する必要があることがある。回路設計によって、第 1 と第 2 の実施形態に記載した基板バイアス回路のそれぞれの特徴を鑑みて選択すれば良い。

【0040】第 2 の実施形態に係る半導体回路の断面模式図は特に図面を設けて説明しないが、第 1 の実施形態に係る半導体回路の断面模式図 (図 5) から誘電体キャパシタ (図番 210、231) を除けば全く等価となる。

【0041】(第 3 の実施形態) 本発明の第 3 の実施形態を図面に基づいて説明する。図 10 は第 3 の実施形態に係る半導体回路の断面模式図を示している。強誘電体キャパシタと誘電体キャパシタを直列接続した基板バイアス発生回路部分は第 1 の実施例で説明したものと全く同じであるが、MOS トランジスタを形成しているシリコン基板が異なる。図 10 におけるシリコン基板は埋め込み酸化膜層 20 上に単結晶シリコン層が形成された S O I 基板 (Silicon On Insulator) と呼ばれる基板で、張り合わせ法や酸素イオン注入法により作製される。図 10 の S O I 基板を用いた第 3 の実施形態ではウェル毎が素子分離絶縁膜 120 で完全分離できるため、第 1 の実施形態 (図 5) における p ウェル 100 と n ウェル 110 接合部が存在しない。第 1 の実施形態で基板バイアス回路により発生した電圧の保持時間は中間ノードからのリーク電流成分が小さい程改善することを説明したが、第 1 と第 3 の実施形態で基板バイアス電圧の保持時間を比較すれば後者がより優れていることは言うまでもない。なお、図 10 において誘電体キャパシタ部分を除けば第 2 の実施形態で説明した回路模式図と等価になることから、第 3 の実施形態に記載された S O I 基板の使用は、第 1 の実施形態の基板バイアス回路のみならず第 2 の実施形態の回路においても適用可能である。

【0042】

【発明の効果】上述の通り、本願発明は強誘電体キャパシタと誘電体キャパシタを組み合わせることにより、単一極性の電源回路から正負両極性の所望の電圧を発生させ、電界効果型トランジスタの基板電位を制御するものである。

【0043】本願発明においては、半導体回路を、第 1 の導電型のソース領域、ドレイン領域と第 2 の導電型の基板領域、およびゲート領域、ゲート絶縁膜を有した電界効果型トランジスタにおいて基板領域の電位制御用基板端子と、強誘電体キャパシタと誘電体キャパシタの直列接続回路における接続中間点とを電気的に接続して構成しているので、簡便な回路にて電界効果型トランジス

タの基板電位制御を実現することができ、さらにこの制御回路の電源をOFFとした場合でも強誘電体の電荷保持特性により基板電位制御電圧の供給を続けることができ、従来のチャージポンプ回路などに比べ低消費電力化を図ることが可能となる。なお、接続中間点が、少なくとも2個以上の電界効果型トランジスタの基板端子に接続され、複数個のトランジスタの基板電位を同時に制御する構成とすることにより、トランジスタ1個ごとに強誘電体キャパシタと誘電体キャパシタを設ける必要がなくなり、回路面積をより小さくすることが可能になる。

【0044】また、強誘電体キャパシタと誘電体キャパシタの直列接続回路の両端子間に電圧を印加する第1の手順と、両端子の電位をともに任意の電圧値で保持する第2の手順とを用いて基板電位制御回路を駆動することにより、単一極性の電源電圧から正負いずれの極性の電圧も発生することが可能となる。なお、第2の手順に続き、電界効果型トランジスタの基板電位制御端子を除く電極端子に所望の電圧印加を行う第3の手順と、基板電位制御端子を除く電極端子に印加した電圧を少なくとも1回以上、0Vもしくは開放とする第4の手順と、電界効果型トランジスタの基板電位制御端子を除く電極端子に再度電圧印加を行う第5の手順とを用いることにより、基板電位制御を行っている電界効果トランジスタのゲート電圧もしくはドレイン電圧のON、OFFを行っても基板電位が保持されるため、低消費電力化が可能である。

【0045】さらにまた、別の本願発明においては、第1の導電型のソース領域、ドレイン領域と第2の導電型の基板領域、およびゲート領域、ゲート絶縁膜を有した電界効果型トランジスタと、第1の電極と第2の電極で挟まれた強誘電体キャパシタにおいて、電界効果トランジスタの基板領域の電位制御用基板端子と強誘電体キャパシタの第2の電極が電気的に接続された構成とすることにより、誘電体キャパシタ1個を付加するのみで、電界効果型トランジスタのしきい値電圧を高く設定する回路が実現可能となる。なお、強誘電体キャパシタの第2の電極を、少なくとも2個以上の電界効果型トランジスタの基板端子に接続し、複数個のトランジスタの基板電位を同時に制御することにより、トランジスタ1個ごとに強誘電体キャパシタを設ける必要がなくなり、回路面積をより小さくすることが可能になる。

【0046】また、強誘電体キャパシタの第1の電極と電界効果型トランジスタのソース端子との間に、電界効果型トランジスタの基板領域とソース領域で構成されるダイオードに対し順方向バイアスとなる極性の電圧を印加する第1の手順と、強誘電体キャパシタの第1の電極と電界効果型トランジスタのソース端子電圧をいずれも任意の電圧に保持する第2の手順を用い、第2の電極に発生する電位により電界効果型トランジスタの基板電位制御を行うことにより、基板電位発生回路の電源をOFFとした後も基板電位制御電圧を発生させることが可能と

なる。なお、第2の手順に続き、基板電位制御端子を除く電界効果型トランジスタの各電極端子に所望の電圧印加を行う第3の手順と、各電極端子に印加した電圧を少なくとも1回以上、0Vもしくは開放とする第4の手順と、基板電位制御端子を除く電界効果型トランジスタの各電極端子に電圧印加を再度行う第5の手順とを用いることにより、基板電位制御を行っている電界効果型トランジスタのゲートもしくはドレイン電圧のON、OFFを行っても基板電位を保持しておくことができるため、低消費電力化が可能である。

【図面の簡単な説明】

【図1】本発明の第1の実施形態に係る半導体回路の基本回路図

【図2】本発明の第1の実施形態に係る半導体回路で、ブロック単位で基板バイアス回路を利用する場合の回路図

【図3】本発明の第1の実施形態に係る半導体回路と回路駆動方法を示す図

【図4】本発明の第1の実施形態に係る半導体回路の動作原理説明図

【図5】本発明の第1の実施形態に係る半導体回路の断面模式図

【図6】本発明の第1の実施形態に係る基板バイアス回路の効果説明図

【図7】本発明の第2の実施形態に係る半導体回路の基本回路図

【図8】本発明の第2の実施形態に係る半導体回路で、ブロック単位で基板バイアス回路を利用する場合の回路図

【図9】本発明の第2の実施形態に係る半導体回路と回路駆動方法を示す図

【図10】本発明の第3の実施形態に係る半導体回路の断面模式図

【符号の説明】

1 強誘電体キャパシタ

2 誘電体キャパシタ

3 MOSトランジスタ

4 同一の基板電位制御を行うMOSトランジスタ群(ブロック)

5 n-ch MOSトランジスタのソース-基板間ダイオード

10 シリコン基板

100 nウェル

110 pウェル

120 素子分離用絶縁膜

130 ゲート絶縁膜

140 ゲート電極

150 n+拡散層

155 p+拡散層

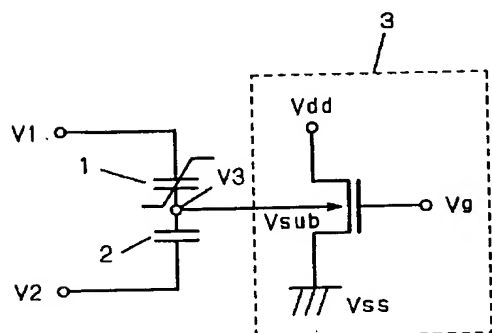
160 層間絶縁膜

13

- 170 耐熱性コンタクトプラグ
- 175 MOSトランジスタの基板電位制御配線
- 180 耐熱性金属配線
- 190 バリアメタル
- 200 下部電極

【図 1】

- 1 強誘電体キャパシタ
- 2 誘電体キャパシタ
- 3 MOSトランジスタ

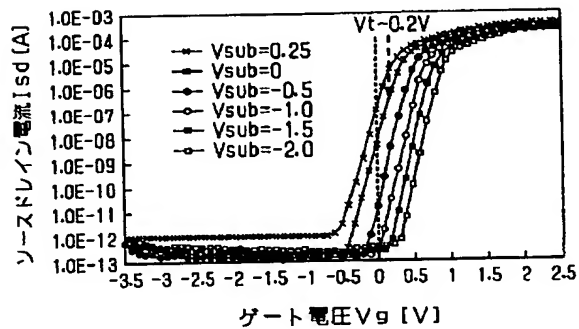


14

- 210 誘電体膜
- 220 強誘電体膜
- 230 上部電極
- 231 上部電極

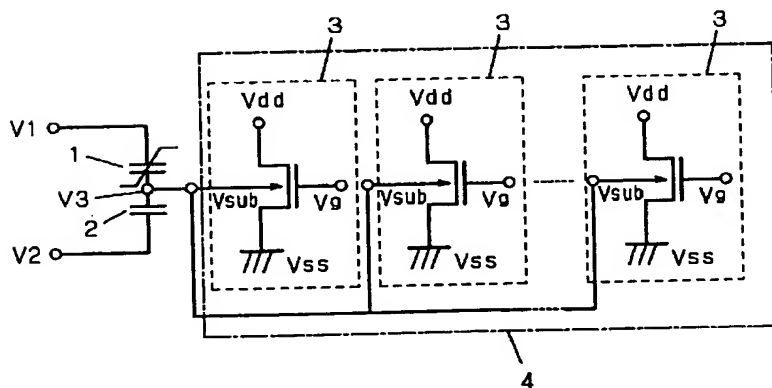
【図 6】

基板バイアス電圧をパラメータにして測定した
n-ch MOSトランジスタのVGID特性
(基板バイアスVsubの効果)



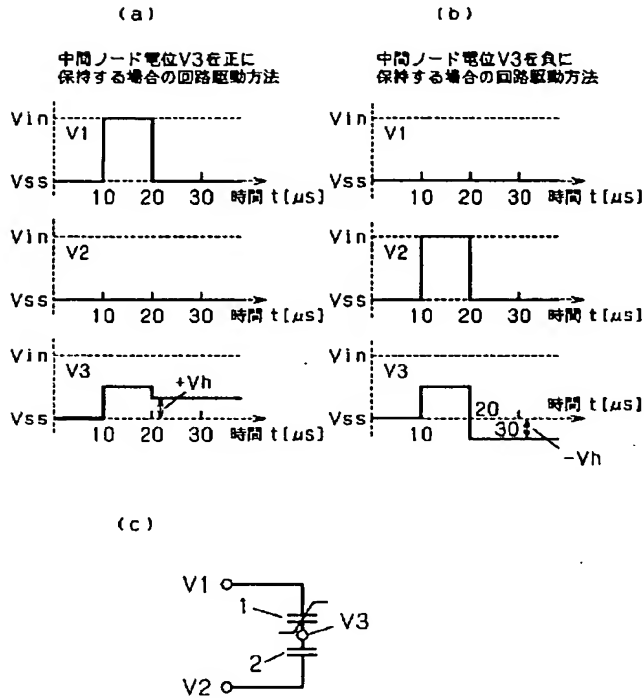
【図 2】

- 1 強誘電体キャパシタ
- 2 誘電体キャパシタ
- 3 MOSトランジスタ
- 4 同一の基板電位制御を行うMOSトランジスタ群 (ブロック)



【図 3】

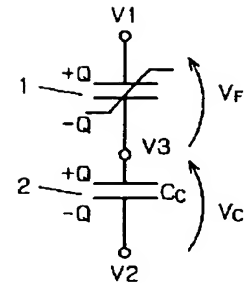
- 1 強誘電体キャパシタ
2 誘電体キャパシタ



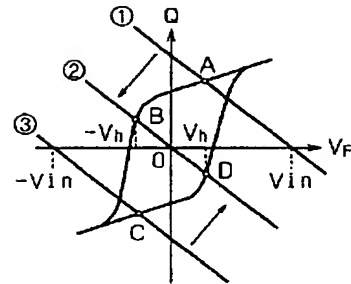
【図 4】

- 1 強誘電体キャパシタ
2 誘電体キャパシタ

(a)

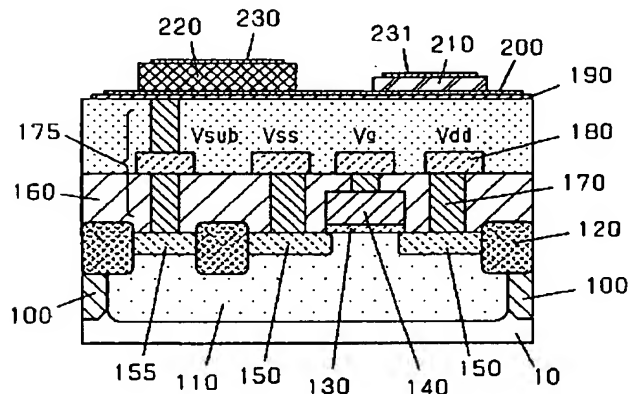


(b)



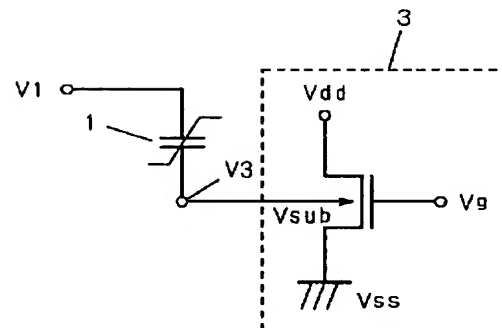
【図 5】

- | | |
|------------------------|----------------------|
| 10 シリコン基板 | 175 MOSTランジスタの基板電位 |
| 100 nウェル | 制御配線(図1のVsub端子に相当) |
| 110 pウェル | 180 耐熱性金属配線 |
| 120 素子分離絶縁膜 | 190 バリアメタル |
| 130 ゲート絶縁膜 | 200 下部電極(図1のV3端子に相当) |
| 140 ゲート電極 | 210 誘電体膜 |
| 150 n ⁺ 拡散層 | 220 強誘電体膜 |
| 155 p ⁺ 拡散層 | 230 上部電極(図1のV1端子に相当) |
| 160 層間絶縁膜 | 231 上部電極(図1のV2端子に相当) |
| 170 耐熱性コンタクトプラグ | |

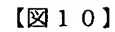


【図 7】

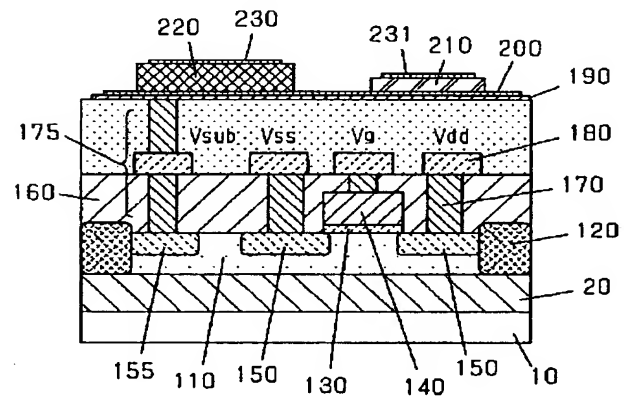
- 1 強誘電体キャパシタ
3 MOSTランジスタ



- 1 強誘電体キャパシタ
- 3 MOSトランジスタ
- 4 同一の基板電位制御を行うMOSトランジスタ群（ブロック）



- | | |
|------------------------|--------------------|
| 10 シリコン基板 | 175 MOSTランシスタの基板電位 |
| 20 埋め込み酸化膜層 | 制御配線(図1のVsub端子に相当) |
| 110 pウエル | 180 耐熱性金属配線 |
| 120 素子分離絶縁膜 | 190 バリアメタル |
| 130 ゲート絶縁膜 | 200 下部電極(図1のV3端子) |
| 140 ゲート電極 | 210 誘電体膜 |
| 150 n ⁺ 拡散層 | 220 強誘電体膜 |
| 155 p ⁺ 拡散層 | 230 上部電極(図1のV1端子) |
| 160 層間絶縁膜 | 231 上部電極(図1のV2端子) |
| 170 耐熱性コンタクトプラグ | |



H 0 3 K 19/0175

(72)発明者 森田 清之
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 上田 路人
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 豊田 健治
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

(72)発明者 大塚 隆
大阪府門真市大字門真1006番地 松下電器
産業株式会社内

F ターム(参考) 5F038 AC05 AC15 AV06 BB01 BB02
BB06 BG06 BG09 CD03 DF08
EZ06 EZ20

5F048 AC10 BA01 BA16 BG01 BG13

5J056 AA05 BB17 BB57 CC29 DD00

DD13 DD51 DD55 GG07 KK01

KK02 KK03